

<b>Int. Cl.<sup>8</sup></b>	H04L 7/00(2006.01)
<b>Application Number/Date</b>	10-1999-7008718 (1999.09.22)
<b>Unexamined Publication Number/Date</b>	10-2001-0005650 (2001.01.15)
<b>Publication Number/Date</b>	(2006.08.22)
<b>Registration Number/Date</b>	10-0614424-0000 (2006.08.14)
<b>Right of originl Application</b>	
<b>Originl Application Number/Date</b>	
<b>Final disposal of an application</b>	등록결정(일반)
<b>Registration Status</b>	Registered
<b>International Application Number/Date</b>	PCT/IB1999/00059 (1999.01.18)
<b>International Unexamined Publication Number/Date</b>	WO 1999/38287 (1999.07.29)
<b>request for an examination</b>	있음
<b>Date of request for an examination/the number of claims</b>	2004.01.16 / 16
<b>Designated States</b>	국내특허 : 일본,대한민국 유럽특허 : 오스트리아,벨기에,스위스,리히텐슈타인,독일,덴마크,스페인,프랑스,영국,그리스,아일랜드,이탈리아,룩셈부르크,모나코,네덜란드,포르투갈,스웨덴,핀란드
<b>Applicant</b>	코닌클리케 필립스 일렉트로닉스 엔.브이. 네덜란드왕국, 아인드호펜, 그로네보르스베그 * (네덜란드)
<b>Inventor/Deviser</b>	사토다카시 네덜란드아아아인드호펜****홀스틀란* (네덜란드)
<b>Agent</b>	이병호 서울 종로구 수송동 80 번지코리안리빌딩5층(법무법인중앙) (대한민국) 이범래 서울 종로구 수송동80번지 코리안리빌딩5층(법무법인중앙) (대한민국) 신현문 서울 종로구 수송동 80번지 코리안리빌딩5층(법무법인중앙) (대한민국) 정상구 서울 강남구 역삼동647-15 한국타이어빌딩(특허법인태평양) (대한민국)
<b>Priority info (Country/Number/Date)</b>	미국(US) (09/012,321) 19980123
<b>Title of invention</b>	네트워크 노드 동기 방법 (Method for synchronizing network nodes)
<b>Abstract</b>	동기 정보를 수신하는 사이클 슬레이브 노드에 응답하여, 사이클 슬레이브 노드의 논리 회로를 사용하여 타이머 오프셋 값을 결정하는 단계와, 상기 타이머 오프셋 값을 사이클 마스터 노드에 전송하는 단계와, 타이머 오프셋 값에 기초하여, 사이클 마스터 노드의 논리 회로를 사용하여 사이클 마스터 노드 사이클 타이머의 값을 조정하는 단계를 포함하는, 사이클 마스터 노드를 사이클 슬레이브 노드에 동기시키는 방법. 동기 정보는, 사이클 슬레이브 노드 사이클 타이머 중 한 사이클의 배수인 소정의 속도로 전해지는 사이클 리셋 신호이다. 사이클 마스터 노드 및 사이클 슬레이브 노드는 제 1 네트워크 또는 서브 네트워크에 포함될 수 있고, 사이클 리셋 신호는 상기 제 1 네트워크 또는 서브 네트워크 외부의 제 2 네트워크 또는 서브 네트워크에 의해 제공될 수 있다.
<b>Representative</b>	

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H04L 7/00

(11) 공개번호 특2001-0005650  
(43) 공개일자 2001년 01월 15일

(21) 출원번호	10-1999-7008718	(87) 국제공개번호	WO 1999/38287
(22) 출원일자	1999년 09월 22일	(87) 국제공개일자	1999년 07월 29일
변역문제출일자	1999년 09월 22일		
(86) 국제출원번호	PCT/IB1999/00059		
(86) 국제출원출원일자	1999년 01월 18일		
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 핀란드 국내특허 : 일본 대한민국		
(30) 우선권주장	9/012,321 1998년 01월 23일 미국(US)		
(71) 출원인	코닌클리케 필립스 일렉트로닉스 엔.브이. 요트.게.아. 룩페즈 네덜란드왕국, 마인드호펜, 그로네보르스베그 1 사토다카시		
(72) 발명자	네덜란드아마아인드호펜 5656 홀스틀란 6		
(74) 대리인	이병호		

심사청구 : 없음

(54) 네트워크 노드 동기 방법

요약

본 발명은 정보를 수신하는 제1마스터 슬레이브 노드에 응답하여, 제1마스터 슬레이브 노드의 논리 회로를 사용하여 타이머 오프셋 값을 결정하는 단계와, 상기 타이머 오프셋 값을 제1마스터 노드에 전송하는 단계와, 타이머 오프셋 값에 기초하여, 제1마스터 노드의 논리 회로를 사용하여 제1마스터 노드 제1마스터 타이머의 값을 조정하는 단계를 포함하는, 제1마스터 노드를 제1마스터 슬레이브 노드에 동기시키는 방법. 동기 정보는, 제1마스터 슬레이브 노드 제1마스터 타이머 중 한 제1마스터의 배수인 소정의 속도로 전해지는 제1마스터 리셋 신호이다. 제1마스터 노드 및 제1마스터 슬레이브 노드는 제 1 네트워크 또는 서브 네트워크에 포함될 수 있고, 제1마스터 리셋 신호는 상기 제 1 네트워크 또는 서브 네트워크 외부의 제 2 네트워크 또는 서브 네트워크에 의해 제공될 수 있다.

도면

도 1

제1마스터

제1마스터 노드, 제1마스터 슬레이브 노드, 네트워크

발명자

기술분야

본 발명은 일반적으로 하나 이상의 네트워크 또는 서브 네트워크에서 제1마스터 및 제1마스터 슬레이브 노드를 동기시키는 기술에 관련되고, 특히, 제1마스터 슬레이브 노드로 공급되는 외부 네트워크 또는 서브 네트워크로부터의 동기 정보를 사용하여 제1마스터 슬레이브 노드에 제1마스터 노드를 동기시키는 기술에 관련된다.

종래기술

종래의 네트워크에서, 다양한 전자 구성 요소(예를 들어, 컴퓨터, 소비자 전자 장치, 기구, 사무 자동화 장비 등)가 로컬 버스(통상적으로, "IEEE 1394" 버스로 언급되는 IEEE 1394 표준에 의해 정의된 직렬 버스)를 통해 상호 접속된다. 상기 로컬 버스에 의해 상호 접속된 각 성분들은 상기 버스 상에서 "노드(nodes)"로 언급된다. 통상적으로, 로컬 버스(통상 "로컬 제1마스터"로 언급함) 상의 노드들 중 하나는, 공통 제1마스터 클럭을 생성하여, 상기 버스 상의 나머지 모든 노드들(통상 "제1마스터 슬레이브 노드"로 언급함)에 분배한다. 일반적으로, 제1마스터 슬레이브 노드 각각은 로컬 제1마스터에 의해 동기적으로

업데이트되는 시계를 타이머를 갖는다.

일부 네트워크는 복수의 개별 네트워크들(그 각각은 자신의 로컬 버스를 갖는다)로 구성된다. 상기 전체 네트워크 내의 개별 네트워크들은 통상적으로 "서브 네트워크"로 언급된다. 상기 서브 네트워크는 하나 이상의 "브리지(bridges)"에 의해 연결되고 상호 접속된다.

일부 네트워크들은 네트워크 와이드 시계 클럭("시계열") 블록을 사용한다. 네트워크가 서브 네트워크로 분할될 때, 각 서브 네트워크의 로컬 시계 클럭 마스터는, 네트워크 와이드 클럭 주기를 유지하기 위해 네트워크 와이드("글로벌") 시계를 마스터에 동기되어야만 한다. 상기 네트워크에서, 각각의 로컬 시계 클럭 마스터는 네트워크 내의 하나 이상의 브리지에 위치한다. 통상적으로, 각 로컬 시계 클럭 마스터는 "브리지 포털(bridge portal)" 내에 포함된다.

예를 들어, 두 서브 네트워크 중 제 1 서브 네트워크의 로컬 버스에 접속된 제 1 브리지 포털과, 상기 두 서브 네트워크 중 제 2 서브 네트워크의 로컬 버스에 접속된 제 2 브리지 포털을 갖는 브리지로 상호 접속된 두 서브 네트워크를 갖는 공유된 네트워크에서, 상기 제 1 서브 네트워크에 대한 로컬 시계 클럭 마스터는 제 1 브리지 포털에 포함되고, 상기 제 2 서브 네트워크에 대한 로컬 시계 클럭 마스터는 제 2 브리지 포털에 포함된다. 네트워크 와이드 클럭 클럭을 로컬 시계 클럭 마스터 사이에서(즉, 제 1 및 제 2 브리지 포털 사이에서) 클럭 분배 정보를 통과시켜 이루어진다. 그러나, 로컬 시계 클럭 마스터를 브리지 내에 위치시키는 것이 항상 바람직하거나 가능한 것만은 아니다. 따라서, 네트워크 내의 하나 이상의 브리지를 통해 네트워크 와이드 클럭 버전을 유지하면서 non-bridge node가 로컬 시계 클럭 마스터에 대해 접근하는 기술이 필요하다. 보다 넓게는, 하나 이상의 서브 네트워크를 포함하는 네트워크 내에서 시계 클럭 슬레이브 노드 중 하나에 시계 클럭 마스터를 표시시키는 메커니즘을 필요로 한다. 본 발명은 상기 요구를 충족시킨다.

### 본 발명의 상세한 설명

본 발명은, 그 일면이, 시계 클럭 마스터 노드를 시계 클럭 슬레이브 노드에 동기시키는 방법으로서, 상기 시계 클럭 슬레이브 노드 내의 논리 회로를 사용하여, 동기 신호를 수신하는 상기 시계 클럭 슬레이브 노드에 응답하여, 타이머 오프셋 값을 결정하는 단계와, 상기 타이머 오프셋 값을 상기 시계 클럭 마스터 노드에 전송하는 단계와, 상기 시계 클럭 마스터 노드의 논리 회로를 사용하여, 상기 타이머 오프셋 값에 기초하여 시계 클럭 마스터 노드 시계 클럭 타이머의 값을 조정하는 단계를 포함하는 방법이다. 상기 동기 정보는, 시계 클럭 슬레이브 노드 시계 클럭 타이머의 1 시계 클럭의 배수인 소정의 속도로 전달된다. 개시된 실시예에서, 상기 시계 클럭 슬레이브 노드는 타이머 오프셋 레지스터를 더 포함하고, 상기 시계 클럭 마스터 노드는 타이머 조정 레지스터를 더 포함한다.

상기 시계 클럭 슬레이브 노드의 상기 논리 회로를 사용하여 상기 타이머 오프셋 값을 결정하는 단계는,

상기 시계 클럭 타이머 리셋 신호를 검출하는 단계와,

상기 시계 클럭 슬레이브 노드 시계 클럭 타이머의 값을 판독하는 단계와,

상기 시계 클럭 슬레이브 노드 시계 클럭 타이머에서 판독한 값으로부터 상기 타이머 오프셋 값을 유도하는 단계와,

상기 타이머 오프셋 값을 상기 타이머 오프셋 레지스터에 로딩하는 단계를 포함한다.

상기 타이머 오프셋 값을 상기 시계 클럭 마스터 노드에 전송하는 단계는,

상기 타이머 오프셋 레지스터로부터 상기 타이머 오프셋 값을 판독하는 단계와,

비동기 데이터 전송 프로토콜을 이용하여 상기 타이머 오프셋 값을 상기 시계 클럭 마스터 노드에 전달하는 단계를 포함한다.

상기 시계 클럭 마스터 노드의 상기 논리 회로를 사용하여 상기 시계 클럭 마스터 노드 시계 클럭 타이머의 값을 조정하는 단계는,

상기 시계 클럭 슬레이브 노드로부터 수신한 상기 타이머 오프셋 값을 상기 타이머 조정 레지스터에 로딩하는 단계와,

상기 시계 클럭 마스터 노드 시계 클럭 타이머의 값을 판독하는 단계와,

상기 시계 클럭 마스터 노드 시계 클럭 타이머에서 판독한 값으로부터 상기 타이머 오프셋 값을 감산하여, 조정된 시계 클럭 타이머 값을 생성하는 단계와,

상기 조정된 시계 클럭 타이머 값으로부터 최종의 조정된 시계 클럭 타이머 값을 유도하는 단계와,

상기 최종의 조정된 시계 클럭 타이머 값을 상기 시계 클럭 마스터 노드 시계 클럭 타이머에 로딩하는 단계를 포함한다.

상기 시계 클럭 슬레이브 노드 시계 클럭 타이머에서 판독한 값으로부터 상기 타이머 오프셋 값을 유도하는 단계는,

상기 시계 클럭 타이머 리셋 신호가 검출된 제 1 시간과 상기 값이 상기 시계 클럭 슬레이브 노드 시계 클럭 타이머에서 판독된 시간 사이에 경과된 클럭 시계 클럭의 수를 계산하는 단계와,

상기 시계 클럭 슬레이브 노드 시계 클럭 타이머에서 판독된 값으로부터 상기 타이머 오프셋 값을 구성하는 상기 계산 단계의 결과를 감산하는 단계를 포함한다.

상기 최종 조정된 시계 클럭 타이머 값을 유도하는 단계는,

상기 값이 상기 제 1 타이머 노드 타이머에서 관측되는 제 1 시간에서 시작하여, 상기 최종 조정된 타이머 값이 상기 제 1 타이머 노드 타이머에 로딩되는 제 2 시간에서 종료하는 모든 필요한 처리를 실행하는데 필요한 클럭 사이클의 수를 계산하는 단계와,  
상기 계산 단계의 결과를 상기 조정된 타이머 값에 가산하는 단계로서, 그 가산 단계의 결과가 상기 최종 조정된 타이머 값인 단계를 포함한다.

개시된 실시예에서, 상기 타이머 노드 및 상기 슬레이브 노드는 제 1 네트워크의 일부이고, 상기 동기 정보는 상기 제 1 네트워크의 외부인 제 2 네트워크에서 공급된다.

양호하게는, 본 발명에 따른 방법은, 상기 타이머 노드 타이머의 상기 값을, 상기 타이머 리셋 신호에 동기된, 상기 제 1 서브 네트워크의 상기 슬레이브 노드 모두에, 정기적으로 (regularly) 분배하는 단계를 더 포함한다.

본 발명은, 다른 면에서 보면, 본 발명의 방법을 실행하는 시스템을 포함한다. 본 발명은, 제 1 로컬 버스에 접속된 복수의 제 1 노드를 포함하는 제 1 서브 네트워크와,

제 2 로컬 버스에 접속된 복수의 제 2 노드를 포함하는 제 2 서브 네트워크와,

상기 제 1 및 제 2 서브 네트워크를 상호 접속하는 브리지를 포함하는 네트워크로서,

상기 브리지는,

상기 제 1 로컬 버스에 연결되는 제 1 브리지 포탈과,

상기 제 2 로컬 버스에 연결되는 제 2 브리지 포탈과,

상기 제 1 및 제 2 브리지 포탈을 상호 접속하는 상호 접속 시스템을 포함하고, 상기 제 1 서브 네트워크의 로컬 타이머 마스터로 기능하는 상기 제 1 노드 중 선택된 하나는 브리지 노드인 네트워크.

개시된 실시예에서, 상기 제 1 및 제 2 브리지 포탈은 각각 본 발명에 따라 구성된 슬레이브 노드를 포함하고, 상기 제 1 및 제 2 서브 네트워크에 대한 로컬 타이머 마스터는 각각 본 발명에 따라 구성된 타이머 마스터 노드를 포함한다.

본 발명의 상기 및 기타 특징, 목적, 이점 등은 도면을 참고로 한 이하의 설명에 자세히 기재되어 있다.

#### 도면의 간단한 설명

도 1은 본 발명의 양호한 실시예의 방법을 실행하는 시스템의 블록도.

도 2는 본 발명의 예시적 실시예에 따라 구성된 네트워크의 블록도.

도 3은 본 발명의 다른 예시적 실시예에 따라 구성된 네트워크의 블록도.

#### 실시예

본 발명의 방법을 실행하는 시스템의 블록도를 도시한 도 1을 참고로 설명한다. 도 1에는 타이머 슬레이브 노드(20)와 타이머 마스터 노드(22)를 상세히 도시하였다. 타이머 슬레이브 노드는, 마이크로제어기(24)와, 타이머 오프셋 레지스터(26)와, 소정의 클럭으로 동작하는 수정(crystal)(28)에 의해 클럭킹되는 타이머(30)를 갖는 타이머 클럭 서브시스템(27)을 포함한다. 타이머 마스터 노드(22)는 마이크로제어기(32)와, 타이머 조정 레지스터(34)와, 소정의 클럭 속도로 동작하는 수정(36)에 의해 클럭킹되는 타이머(38)를 갖는 타이머 클럭 서브시스템(35)을 포함한다. 각각의 타이머(30 및 38)는, 전류 타이머 값(즉, 전류 카운트)이 나타내는 전류 타이머의 부분을 나타내는 부분 값(fractional value)을 기억하는 하나의 필드와, 타이머 타이머가 완료된 총 (진행/누계) 타이머 수를 나타내는 총 타이머 카운트를 기억하는 또다른 필드를 포함하는, 각각의 데이터 필드 또는 레지스터를 포함한다.

종래의 네트워크에서, 타이머 마스터 노드(22)는, 그 타이머 타이머 값을, 네트워크 또는 그 일부분의 로컬 서브 네트워크에서, 나머지 모든 노드(즉, 모든 타이머 슬레이브 노드)에 정기적으로 분배하고, 따라서, 네트워크나 서브 네트워크 내의 모든 타이머 슬레이브 노드에서의 타이머 타이머들은 타이머 마스터 노드(22)의 타이머 마스터(38)에 각각 동기된다.

그러나, 본 발명에 따르면, 네트워크 또는 서브 네트워크 내의 타이머 슬레이브 노드 중 하나는, 도 1의 타이머 슬레이브 노드(20)로 도시된 바와 같이, 외부 네트워크 또는 서브 네트워크로부터 동기 타이머 리셋 신호를, 리셋 라인(40)을 통해 수신한다. 이 리셋 신호는 1 타이머의 배수인 소정의 속도로 규칙적으로 전해진다.

본원에서 "타이머"이란 용어는, 타이머 타이머가 초기 값부터 최종 값까지 카운트하기에 필요한 시간 주기이며, 타이머 레지스터는 순환(wrap-around) 후 그 초기 값으로 돌아간다. 예를 들어, 타이머가 모듈로 N 카운터로 실행될 경우, "타이머"는 진행 후 초기 값(A)으로 돌아가기까지, 초기 값(A)부터 (A) + N-1까지 카운터가 카운트하기에 필요한 시간 주기이다. 상기 초기 값은 통상 0이다.

본 발명에 따르면, 타이머 슬레이브 노드(20)의 마이크로제어기(24)는 이하의 단계로 포함하는 제어 알고리즘을 실행하도록 프로그래밍된다.

(1) 외부 동기 타이머 리셋 신호를 검출한다.

(2) 타이머 타이머(30)의 부분 값(1 타이머 미만)을 판독한다.

바람직하게는, 상기 부분 값은, 전류 타이머 값(즉, 전류 카운트)가 N/2와 같거나 그보다 작으면

포지티브이고,  $N/2$  보다 크면 네가티브인 정수로 나타내지만, 본 발명이 이에 제한되는 것은 아니다(예를 들어, 포지티브/네가티브 전이의 임계값은  $N/2$ 보다 크고 타이머(30)의 초기 값과 최대 값 사이의 임의의 적절한 값으로 설정할 수 있다). 예를 들어,  $N/2$ 보다 크고 타이머(30)가 8,000의 계수(N)를 갖는다면, 상기 부분 값(1)은, 전류 카운트가 4,000 미만인 경우,  $N/2$ 보다 크고 타이머(30)의 전류 카운트(X)와 같은 포지티브 정수 값으로 나타낼 수 있고, 전류 카운트(X)가 4,000 미만일 경우, 타이머(30)의 전류 카운트(X)와 계수(N) 사이의 차이와 같은 네가티브 정수 값으로 나타낼 수 있다. 즉,  $X \leq N/2$ 이면,  $1=X$ 로서, 포지티브 정수 값이고,  $X > N/2$ 이면,  $1 = (X-N)$ 로서, 네가티브 정수 값이다.

(3) 외부 동기 타이머 리셋 신호가 검출된 시간과 부분 타이머 값이 판독된 시간 사이에서 얼마나 많은 클럭 사이클이 지났는가를 계산한다.

(4) 단계(2)에서 판독한 부분 타이머 값으로부터 단계(3)의 결과를 감산한다.

(5) 단계(4)의 결과를 타이머 오프셋 레지스터(26)의 타이머 오프셋 값으로 로딩한다.

(6) 타이머 오프셋 레지스터(26)로부터 타이머 오프셋 값을 판독하여, 비휘발 데이터 전송 메커니즘을 사용하여, 편리한 시간에 상기 타이머 오프셋 값을 타이머 마스터 노드(22)로 전송한다. 그러나, 타이머 오프셋 값이 0이면, 타이머 마스터 노드(22)로 전송할 필요는 없다(따라서, 그 경우, 타이머 마스터 노드(22)에서의 타이머(38)의 값을 조정할 필요가 없다).

본 발명이 전적으로 하드웨어(프로그램된 마이크로제어기를 사용하는 대신)에서 실행되거나, 상기 프로세싱 지면을 제거하거나 타이머 오프셋 값의 유도 등에 사용되는 고정된 프로세싱 지면을 내는 다른 편리한 방법으로 실행되면, 단계(3 및 4)는 생략할 수 있다.

또한, 본 발명에 따르면, 타이머 마스터 노드(22)의 마이크로제어기(32)는 다음의 단계를 포함하는 제어 알고리즘을 행하도록 프로그래밍된다.

(1) 타이머 슬레이브 노드(20)로부터 수신한 타이머 오프셋 값을 타이머 조정 레지스터(34)에 로딩한다.

(2) 타이머(38)의 부분 값(1  $N/2$  미만)을 판독한다.

(3) 단계(2)에서 타이머(38)에서 판독한 부분 타이머 값으로부터, 단계(1)에서의 타이머 조정 레지스터(34)에서 판독한 타이머 오프셋 값을 감산한다.

(4) 단계(2)에서 타이머(38)에서 판독한 부분 타이머 값으로부터 시작하고, 최종(조정된) 타이머 값이 타이머(38)에 로딩된 시간의 끝(즉, 단계(6) 이후)에서 종료하는, 필요한 모든 프로세싱을 실행하기에 얼마나 많은 클럭 사이클이 필요한 지 계산한다.

(5) 단계(3)의 결과를 단계(4)의 결과에 가산하고, 임의의 필요한 타이머(38)의 순환 프로세싱(wrap-around processing)을 실행한다. 예를 들어, 값이 최대 값보다 크면(즉, 오버플로우 상황이 일어난다면), 타이머(38)의 계수(N)는 상기 합으로부터 감산되어 결과 값이 되어야 하고, 총 타이머 카운트는 1만큼 증가하여야 한다. 또한, 상기 합이 초기 값보다 작으면(즉, 언더플로우 상황이 일어난다면), 타이머(38)의 계수(N)는 상기 합에 가산되어 결과 값이 되어야 하고, 총 타이머 카운트는 1만큼 감소되어야 한다.

(6) 조정된 타이머 값을 구성하는, 단계(5)의 결과 값을 타이머(38)에 로딩한다.

본 발명이 전적으로 하드웨어(프로그램된 마이크로제어기를 사용하는 대신)에서 실행되거나, 상기 프로세싱 지면을 제거하거나 타이머 오프셋 값의 유도 등에 사용되는 고정된 프로세싱 지면을 내는 다른 편리한 방법으로 실행되면, 단계(4)는 생략할 수 있다.

상기 설명한 본 발명의 방법에 따라, 타이머 마스터 노드(22)의 타이머 값은 외부 동기 타이머 리셋 신호에 동기되고, 따라서, 외부 동기 타이머 리셋 신호에 동기된 네트워크 또는 서브 네트워크 내의, 모든 타이머 슬레이브 노드(타이머 슬레이브 노드(20) 내의 타이머(30) 포함)의 타이머 값을 유지한다. 당연히, 본 발명의 방법(및 시스템)이 간단하고, 신뢰성 있으며, 데이터(예를 들어, 패킷) 손실이나 지연 없이 타이머 슬레이브 노드로부터의 계환에 비교적 영향을 받지 않는다.

본 발명의 예시적 실시예에 따라 구성된 네트워크(50)가 도 2에 도시된다. 상기 네트워크(50)는 서브 네트워크(A)의 로컬 버스(A)에 접속된 복수의 노드( $N_A$ )와 서브 네트워크(B)의 로컬 버스(B)에 접속된 복수의 노드( $N_B$ )를 포함한다. 서브 네트워크(A 및 B)는, 로컬 버스(A)에 연결된 브리지 포탈(A)과 로컬 버스(B)에 연결된 브리지 포탈(B)을 포함하는 브리지(56)를 통해 상호 접속된다. 브리지 포탈(A 및 B)은 유선 또는 무선 상호 접속 시스템(때때로 "내부 구조(internal fabric)"로 언급됨)(55)으로 상호 접속된다.

브리지 포탈(A)은 본 발명에 따른 구성의 타이머 슬레이브 노드(60)(예를 들어, 도 1에 도시된 타이머 슬레이브 노드(20) 등)를 포함하고, 브리지 포탈(B)은 본 발명에 따른 구성의 타이머 슬레이브 노드(62)(예를 들어, 도 1에 도시된 타이머 슬레이브 노드(20) 등)를 포함한다.

서브 네트워크(A)용 로컬 타이머 마스터(도 1에 도시된 타이머 마스터 노드(22) 등)는 서브 네트워크(A)의 로컬 버스(A)에 접속된 노드( $N_A$ ) 중 임의의 선택된 하나일 수 있고, 서브 네트워크(B)용 로컬 타이머 마스터(도 1에 도시된 타이머 마스터 노드(22) 등)는 서브 네트워크(B)의 로컬 버스(B)에 접속된 노드( $N_B$ ) 중 임의의 선택된 하나일 수 있다.

따라서, 상기 예시적 실시예와 같이, 로컬 타이머 마스터로 지정된 것을 제외하고, 서브 네트워크(A)의 모든 노드( $N_A$ )는, 종래의 슬레이브 노드로 적절히 실행되고, 또한, 로컬 타이머 마스터로 지정된 것을 제외하고, 서브 네트워크(B)의 모든 노드( $N_B$ )는, 종래의 슬레이브 노드로 적절히 실행된다. 따라서, 각각의 로컬 타이머 마스터는 브리지 노드이다. 물론, 브리지 포탈(A 또는 B) 중 하나가 타이머 슬레이브 노드 대신에 타이머 마스터 노드를 포함할 수 있고, 이 경우, 단지 로컬 타이머 마스터 중 하나만이 브

브리지 노드이다.

본 발명의 다른 실시예에 따른 구성의 네트워크(66)가 도 3에 도시된다. 네트워크(66)는, 로컬 버스(A, B, C)를 포함하는 복수의 로컬 버스와, 브리지(A, B)를 포함하는 복수의 브리지를 포함한다. 네트워크(66)에서 상호 연쇄(daisy-chained)될 수 있는 브리지 및 버스의 수는 실질적으로 제한되지 않는다.

현재 유용한 기술로는, 두 브리지 중 고정된 하나(A 또는 B)가 로컬 버스(A)에 대한 로컬 서브시스템 마스터를 포함하여야만 한다. 그러나, 본 발명에서는, 두 브리지 중 선택한 하나(A 또는 B)가 본 발명에 따라 구성된 서브시스템 마스터 노드를 포함할 수 있고, 상기 두 브리지 중 나머지 하나(B 또는 A)가 본 발명에 따라 구성된 서브시스템 슬레이브 노드를 포함할 수 있다. 따라서, 네트워크 디자이너는 네트워크를 구성 또는 재구성함에 있어 매우 탄력적으로 할 수 있어, 로컬 버스(A)에 대한 로컬 서브시스템 마스터를 포함해야 하는 브리지 중 고정된 하나(A 또는 B)에 구속되지 않는다.

#### 상인상미가능성

지금까지 본원에서 본 발명을 상세히 설명하였지만, 당업자라면 본원의 청구범위에서 정의된 본 발명의 정신 및 관점을 벗어나지 않는, 본원에서 설명한 기본적인 독창적인 개념의 다양한 변경 및 수정이 가능함을 알 것이다.

예를 들어, 이상에서는 제어 알고리즘을 적절히 프로그래밍된 마이크로제어기(24 및 32)로 실행하였지만, 당업자라면 임의의 간편한 하드 와이어(hard-wired) 또는 프로그래밍 가능한 디지털 신호 처리 또는 논리 회로를 이용할 수 있음을 명백하다.

또한, 상기 본원에서는 타이머 오프셋 레지스터(26) 및 타이머 조정 레지스터(34)를 각각의 레지스터로 설명하였지만, 머드레싱의 관점에서 단일 레지스터로 실행할 수 있고, 본 발명을 하드웨어로 실행한다면, 타이머 오프셋 레지스터(26)는 판독 전용으로, 타이머 조정 레지스터(34)는 기록 전용으로 할 수 있다.

본 발명의 방법을 실행하는 레지스터 및 논리 회로는 현재의 링크층 협(예를 들어, IEEE 1394 링크층 협)을 사용하는 소프트웨어로 실행할 수 있고, 현재 개발 하에 있는 미래의 링크층 협의 하드웨어에서도 실행할 수 있다.

소정의 네트워크 내의 모든 노드(또는 선택한 노드)는, 예를 들어, 타이머 오프셋 레지스터(26) 및 타이머 조정 레지스터(34)(또는 그와 동등한 것)를 모두 포함하는, 필요한 하드웨어 및/또는 소프트웨어 모두에 간단히 포함시켜, 본 발명에 따른 서브시스템 마스터 노드 또는 서브시스템 슬레이브 노드로 기능하도록 만들 수 있다.

#### (57) 청구의 범위

##### 청구항 1

서브시스템 마스터 노드(22)를 서브시스템 슬레이브 노드(20)에 연결시키는 방법으로서,

상기 서브시스템 슬레이브 노드(20) 내의 논리 회로(24)를 사용하여, 로컬 정보를 수신하는 상기 서브시스템 슬레이브 노드(20)에 응답하며, 타이머 오프셋 값을 결정하는 단계와,

상기 타이머 오프셋 값을 상기 서브시스템 마스터 노드(22)에 전송하는 단계와,

상기 서브시스템 마스터 노드(22) 내의 논리 회로(32)를 사용하여, 상기 타이머 오프셋 값에 기초하여 서브시스템 마스터 노드 서브시스템 타이머(38)의 값을 조정하는 단계를 포함하는 방법.

##### 청구항 2

제 1 항에 있어서, 상기 로컬 정보는 서브시스템 타이머 리셋 신호를 포함하는 방법.

##### 청구항 3

제 2 항에 있어서,

상기 서브시스템 슬레이브 노드(20)는 1 서브시스템 동안 초기 값부터 최종 값까지 카운트하는 서브시스템 타이머(30)를 더 포함하고,

상기 서브시스템 타이머 리셋 신호는 상기 서브시스템 슬레이브 노드 서브시스템 타이머(30)의 1 서브시스템의 배수인 소정의 속도로 전달되는 방법.

##### 청구항 4

제 3 항에 있어서,

상기 서브시스템 슬레이브 노드(20)는 타이머 오프셋 레지스터(26)를 더 포함하고,

상기 서브시스템 마스터 노드(22)는 타이머 조정 레지스터(34)를 더 포함하며,

상기 서브시스템 슬레이브 노드(20) 내의 상기 논리 회로(24)를 사용하여 상기 타이머 오프셋 값을 결정하는 단계는,

상기 서브시스템 타이머 리셋 신호를 검출하는 단계와,

상기 서브시스템 슬레이브 노드 서브시스템 타이머(30)의 값을 판독하는 단계와,

상기 서브슬레이브 노드 서브슬레이브 타이머(30)에서 판독한 값으로부터 상기 타이머 오프셋 값을 유도하는 단계와,

상기 타이머 오프셋 값을 상기 타이머 오프셋 레지스터(26)에 로딩하는 단계를 포함하는 방법.

#### 청구항 5

제 4 항에 있어서,

상기 타이머 오프셋 값을 상기 서브슬레이브 마스터 노드(22)에 전송하는 단계는,

상기 타이머 오프셋 레지스터(26)로부터 상기 타이머 오프셋 값을 판독하는 단계와,

비동기 데이터 전송 프로토콜을 이용하여, 상기 타이머 오프셋 값을 상기 서브슬레이브 마스터 노드(22)에 전달하는 단계를 포함하는 방법.

#### 청구항 6

제 4 항에 있어서,

상기 서브슬레이브 마스터 노드(22) 내의 상기 논리 회로(32)를 사용하여 상기 서브슬레이브 마스터 노드 서브슬레이브 타이머(38)의 값을 조정하는 단계는,

상기 서브슬레이브 슬레이브 노드(20)로부터 수신한 상기 타이머 오프셋 값을 상기 타이머 조정 레지스터(34)에 로딩하는 단계와,

상기 서브슬레이브 마스터 노드 서브슬레이브 타이머(38)의 값을 판독하는 단계와,

상기 서브슬레이브 마스터 노드 서브슬레이브 타이머(38)에서 판독한 값으로부터 상기 타이머 오프셋 값을 감산하여, 조정된 서브슬레이브 타이머 값을 생성하는 단계와,

상기 조정된 서브슬레이브 타이머 값으로부터 최종의 조정된 서브슬레이브 타이머 값을 유도하는 단계와,

상기 최종의 조정된 서브슬레이브 타이머 값을 상기 서브슬레이브 마스터 노드 서브슬레이브 타이머(38)에 로딩하는 단계를 포함하는 방법.

#### 청구항 7

제 4 항에 있어서,

상기 서브슬레이브 슬레이브 노드 서브슬레이브 타이머(30)에서 판독한 값으로부터 상기 타이머 오프셋 값을 유도하는 단계는,

상기 서브슬레이브 타이머 리셋 신호가 검출된 제 1 시간과, 상기 판독 값이 상기 서브슬레이브 슬레이브 노드 서브슬레이브 타이머(30)에서 판독된 시간 사이에 경과된 플럭 서브슬레이브의 수를 계산하는 단계와,

상기 서브슬레이브 슬레이브 노드 서브슬레이브 타이머(30)에서 판독된 값으로부터 상기 계산 단계의 결과를 감산하는 단계로서, 그 단계의 결과가 상기 타이머 오프셋 값을 구성하는 단계를 포함하는 방법.

#### 청구항 8

제 6 항에 있어서,

상기 최종의 조정된 서브슬레이브 타이머 값을 유도하는 단계는,

상기 값이 상기 서브슬레이브 마스터 노드 서브슬레이브 타이머(38)에서 판독되는 제 1 시간에서 시작하여, 상기 최종의 조정된 서브슬레이브 타이머 값이 상기 서브슬레이브 마스터 노드 서브슬레이브 타이머(38)에 로딩되는 제 2 시간에서 종료하는 모든 필요한 처리를 실행하는데 필요한 플럭 서브슬레이브의 수를 계산하는 단계와,

상기 계산 단계의 결과를 상기 조정된 서브슬레이브 타이머 값에 가산하는 단계로서, 그 가산 단계의 결과가 상기 최종의 조정된 서브슬레이브 타이머 값인 단계를 포함하는 방법.

#### 청구항 9

제 1 항에 있어서,

상기 서브슬레이브 마스터 노드(22) 및 상기 서브슬레이브 슬레이브 노드(20)는 제 1 네트워크의 일부이고,

상기 동기 정보는 상기 제 1 네트워크 외부의 제 2 네트워크에서 공급되는 방법.

#### 청구항 10

제 1 항에 있어서,

상기 서브슬레이브 마스터 노드(22) 및 상기 서브슬레이브 슬레이브 노드(20)는 제 1 서브 네트워크의 일부이고,

상기 동기 정보는 상기 제 1 서브 네트워크 외부의 제 2 서브 네트워크에서 공급되는 방법.

#### 청구항 11

제 3 항에 있어서,

상기 서브슬레이브 마스터 노드(22) 및 상기 서브슬레이브 슬레이브 노드(20)는 복수의 부가적인 서브슬레이브 노



도를 포함하는 제 1 서브 네트워크의 일부이고,

상기 서브클러스터 타이머 리셋 신호는 상기 제 1 서브 네트워크 외부의 제 2 서브 네트워크에서 공급되는 방법.

#### 청구항 12

제 11 항에 있어서, 상기 서브클러스터 마스터 노드 서브클러스터 타이머(38)의 상기 값을, 상기 서브클러스터 타이머 리셋 신호에 동기화된, 상기 제 1 서브 네트워크의 상기 서브클러스터 슬레이브 노드 모두에, 정기적으로(regularly) 분배하는 단계를 더 포함하는 방법.

#### 청구항 13

제 3 항에 있어서,

상기 서브클러스터 마스터 노드(22) 및 상기 서브클러스터 슬레이브 노드(20)는 복수의 추가적인 서브클러스터 슬레이브 노드를 포함하는 제 1 네트워크의 일부이고,

상기 서브클러스터 타이머 리셋 신호는 상기 제 1 네트워크 외부의 제 2 서브 네트워크에서 동기적으로(synchronously) 공급되는 방법.

#### 청구항 14

제 13 항에 있어서, 상기 서브클러스터 마스터 노드 서브클러스터 타이머(38)의 상기 값을, 그 서브클러스터 타이머가 상기 서브클러스터 타이머 리셋 신호에 동기화된, 상기 제 1 네트워크의 상기 서브클러스터 슬레이브 노드 모두에 정기적으로 분배하는 단계를 더 포함하는 방법.

#### 청구항 15

서브클러스터 슬레이브 노드 서브클러스터 타이머(30) 및 서브클러스터 슬레이브 노드 논리 회로(24)를 포함하는 서브클러스터 슬레이브 노드(20)와,

서브클러스터 마스터 노드 서브클러스터 타이머(38) 및 서브클러스터 마스터 노드 논리 회로(32)를 포함하는 서브클러스터 마스터 노드(22)를 포함하는 시스템으로서,

상기 서브클러스터 슬레이브 노드 논리 회로(24)는 특정 정보에 응답하여 타이머 오프셋 값을 결정하고, 그 타이머 오프셋 값을 상기 서브클러스터 마스터 노드(22)에 전송하며,

상기 서브클러스터 마스터 노드 논리 회로(22)는 상기 타이머 오프셋 값에 기초하여 상기 서브클러스터 마스터 노드 서브클러스터 타이머(38)의 값을 조정하는 시스템.

#### 청구항 16

제 1 로컬 버스(로컬 버스 A)에 접속된 복수의 제 1 노드를 포함하는 제 1 서브 네트워크(서브 네트워크 A)와,

제 2 로컬 버스(로컬 버스 B)에 접속된 복수의 제 2 노드를 포함하는 제 2 서브 네트워크(서브 네트워크 B)와,

상기 제 1 및 제 2 서브 네트워크를 상호 접속하는 브리지(56)를 포함하는 네트워크(50)로서,

상기 브리지(56)는,

상기 제 1 로컬 버스(로컬 버스 A)에 연결되고, 청구항 15에 정의된 서브클러스터 슬레이브 노드(60)를 포함하는 제 1 브리지 포탈(포탈 A)과,

상기 제 2 로컬 버스(로컬 버스 B)에 연결되고, 청구항 15에 정의된 서브클러스터 마스터 노드(22)를 포함하는 제 2 브리지 포탈(포탈 B)과,

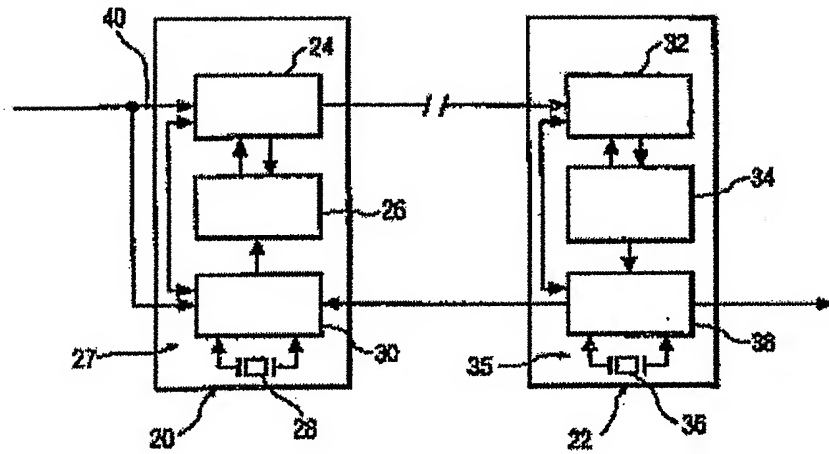
상기 제 1 및 제 2 브리지 포탈을 상호 접속하는 상호 접속 시스템(55)을 포함하고,

상기 제 1 서브 네트워크(서브 네트워크 A)의 로컬 서브클러스터 마스터로 기능하는 상기 제 1 노드들(Na) 중 선택된 하나는 논 브리지 노드(non-bridge node)인 네트워크.

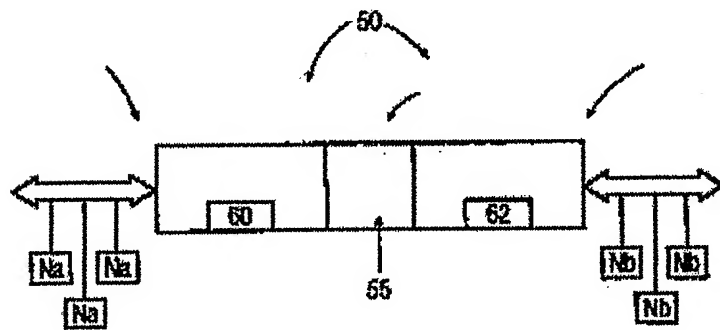
도면



도면1



도면2



도면3

